

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-246962

(43)Date of publication of application : 19.09.1997

(51)Int.Cl.

H03L 7/095

(21)Application number : 08-051613

(71)Applicant : NEC CORP

(22)Date of filing : 08.03.1996

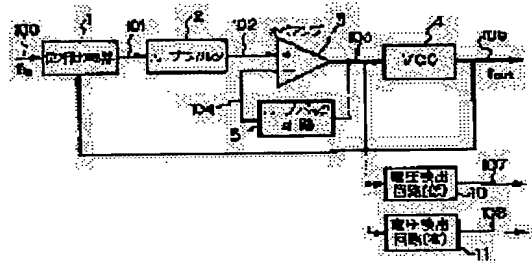
(72)Inventor : KOIKE TSUNEO
KUSUDA MASAHIRO

(54) PHASE LOCKED LOOP VOLTAGE CONTROLLED OSCILLATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a phase locked loop voltage controlled oscillator capable of performing an evading operation before falling into an abnormal operation.

SOLUTION: This phase locked loop voltage controlled oscillator is provided with a voltage detection circuit (low) 10 and the voltage detection circuit (high) 11. The voltage detection circuit (low) 10 inputs operational amplifier output 103 and outputs signals 107 to be active and high in the case of detecting a voltage exceeding a prescribed voltage ($-VF$ or slightly smaller than $-VF$). Also, the voltage detection circuit (high) 11 inputs the operational amplifier output 103 and outputs the signals 108 to be active and high in the case of detecting the voltage exceeding the prescribed voltage ($+VF$ or slightly smaller than $+VF$). By such constitution, the signals 107 or the signals 108 are outputted when the operating limit of a VCO 4 is exceeded (is about to be exceeded).



LEGAL STATUS

[Date of request for examination] 08.03.1996

[Date of sending the examiner's decision of rejection] 23.02.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246962

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl.⁶

H03L 7/095

識別記号

庁内整理番号

F I

H03L 7/08

技術表示箇所

B

審査請求 有 請求項の数 3 O L (全 7 頁)

(21) 出願番号

特願平8-51613

(22) 出願日

平成8年(1996)3月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小池 庸夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 楠田 昌弘

東京都港区芝五丁目7番1号 日本電気株式会社内

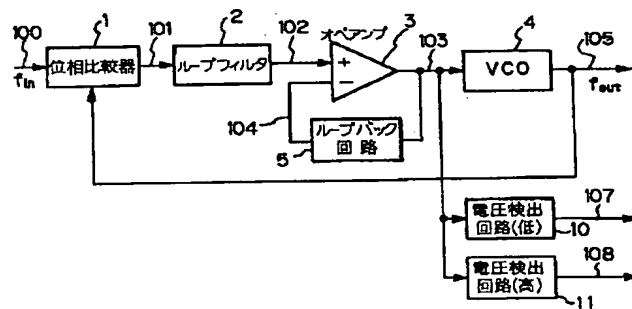
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 位相同期ループ電圧制御発振器

(57) 【要約】

【課題】 異常動作に陥る前に回避動作を行わせることができる位相同期ループ電圧制御発振器を提供する。

【解決手段】 位相同期ループ電圧制御発振器は電圧検出回路(低)10と電圧検出回路(高)11とを備えている。電圧検出回路(低)10は、オペアンプ出力103を入力し、所定の電圧($-V_F$ 、あるいは $-V_F$ より若干小さめ)を越える電圧を検出した場合、アクティブハイとなる信号107を出力する。また、電圧検出回路(高)11は、オペアンプ出力103を入力し、所定の電圧($+V_F$ 、あるいは $+V_F$ より若干小さめ)を越える電圧を検出した場合、アクティブハイとなる信号108を出力する。このような構成によって、VCO4の動作限界を超える(越えそうになる)と信号107または信号108が出力される。



【特許請求の範囲】

【請求項1】 2つの信号の位相を検出する位相比較器と、該位相比較器の出力を平滑化するループフィルタと、正入力と負入力の電圧差を増幅する演算増幅器と、該演算増幅器の出力を所定の特性で負帰還するループバック回路と、所定の入力電圧に応じて出力の周波数が変化する電圧制御発振器とを有し、前記ループフィルタの出力が前記演算増幅器の正入力に接続され、該演算増幅器の出力に接続された前記ループバック回路の出力が該演算増幅器の負入力に接続され、前記演算増幅器の出力が前記電圧制御発振器の入力に接続され、前記電圧制御発振器の出力と基準信号入力とが前記位相比較器の入力に接続された位相同期ループ電圧制御発振器において、前記電圧制御発振器の入力電圧を入力し、該入力電圧が、前記電圧制御発振器が正常動作できる正の限界電圧を越えると、出力が変化する第1の電圧検出回路と、前記電圧制御発振器の入力電圧を入力し、該入力電圧が前記電圧制御発振器が正常動作できる負の限界電圧を越えると、出力が変化する第2の電圧検出回路を有することを特徴とする位相同期ループ電圧制御発振器。

【請求項2】 前記第1、第2の電圧検出回路の出力がシステムの監視回路に接続されている、請求項1記載の位相同期ループ電圧制御発振器。

【請求項3】 動作限界電圧が異なる複数の電圧制御発振器と、前記第1、第2の電圧検出回路の両出力を入力し、両出力の状態をデコードするデコードと、前記複数の電圧制御発振器の出力と、前記デコードの出力を入力し、前記デコードの出力に応じた電圧制御発振器の出力を選択し、位相同期出力信号として出力するゲート回路を有する、請求項1記載の位相同期ループ電圧制御発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は位相同期ループ電圧制御発振器に関する。

【0002】

【従来の技術】図4を用いて従来の位相同期ループ電圧制御発振器（以下PLLと称する）について説明する。

【0003】位相比較器1は基準入力信号（ f_{in} ）100と発振器出力信号（ f_{out} ）105の2つの信号の位相差を検出し、位相差に比例した電圧信号101を出力する。この信号101はループフィルタ2に入力され、高調波成分が取り除かれた出力102が出力される。出力102は演算増幅器（以下オペアンプと称する）3の正入力に印加される。オペアンプ3には、その出力と負入力の間にループバック回路5が挿入されており、これによって図5に示すような入出力特性をもっている。オペアンプ3で増幅された信号が電圧制御発振器（以下VCOと称する）4に印加され、出力105となって、発

振器出力が得られる。VCO4の発振器出力信号105と基準入力信号100とに位相差が発生すると、位相比較器1からずれて比例した電圧信号101が出力され、ループフィルタ2を通してオペアンプ3で増幅され、VCO4はずれた位相分だけ発振出力を補正するように動作し、基準入力信号100と一致した位相の発振器出力信号105が得られるようになっている。図4は、基準入力信号100と同じ周波数の発振器出力信号105が得られるPLLを示しているが、発振器出力信号105を位相比較器1へ戻す配線にn分周回路を挿入すると、基準入力信号100に対してn通倍の発振出力が得られることになる。

【0004】図5は図4にあるオペアンプ3とループバック回路5によって構成される演算増幅器の入出力特性を示している。オペアンプ3の正入力がOVから離れるほど出力電圧の傾きが大きくなるように、入出力特性が設定される。こうすることで、位相同期が大きくなった場合、VCO4はその出力105がより早く基準入力信号100に近づくことが可能になり、かつ位相同期がとれている状態では、少しの位相のずれでは発振周波数がほとんど変化せず安定動作することになる。

【0005】次に、特開平4-280514号に記述されているPLLについて図6により説明する。この例では、電圧検出回路9とスイッチ8と帰還抵抗6、7を図のように接続することで図4中のループバック回路5を代用するものである。オペアンプ3は帰還抵抗値が小さくなると帰還量が増加して増幅率が小さく、また帰還抵抗値が大きくなると帰還量が減少して増幅率が大きくなる。したがって、電圧検出回路9でオペアンプ出力103を監視し、所定の値（図7で説明する $\pm V_T$ ）以上に離れると、スイッチ8をオンにし帰還抵抗6と7を並列接続し、帰還抵抗値を小さくし増幅率を増加させるものである。

【0006】図7はこのように接続されたオペアンプ5の入出力特性図である。オペアンプ入力102が電圧検出回路9のスレショルド電圧（ $\pm V_T$ ）未満の場合、帰還抵抗6で決まる増幅率（グラフの傾きに一致する）で電圧103が出力され、 $\pm V_T$ を越えると前記増幅率よりも大きな増幅率（傾き）に変化する。図7の入出力特性は図5に入出力特性に近似している。このように、図6のPLLは電圧検出回路9で帰還抵抗値を変化させることでループバック回路5を代用するものである。

【0007】

【発明が解決しようとする課題】さて、ここまでの説明はオペアンプ3の入出力特性が理想的な場合であって、実際は増幅率や出力電圧が飽和する現象が発生する。この様子を図8で説明する。図8(a)は理想オペアンプの入出力特性を表したもので、入力電圧に完全に比例して出力電圧が得られている。実線と点線は増幅率の違いを表したもので、図6の帰還抵抗6、7の値によって変

化するものである。これに対して図 8 (b) は実際のオペアンプの入出力特性で、ある値までは出力電圧が入力電圧に比例するが、それ以上の場合飽和してしまっている。

【0008】同様に、VCO4の特性も理想的なVCOと実際のVCOとで違いが生じる。図9(a)は理想的なVCOの入出力特性で、入力電圧に完全に比例して周波数が変化している。これに対して図9(b)は実際のVCOの入出力特性で、図8のオペアンプの特性同様所定の入力電圧までは比例して発振周波数が変化するが、それ以上になると飽和してしまうことを表している。後の説明で参照しやすいように、この飽和電圧を $\pm V_F$ としておく。

【0009】以上2つの理想回路と実回路の違いを示したが、オペアンプの方は、帯域の広い(飽和電圧が高い)ものが存在するので、ここでの議論はオペアンプの飽和特性について無視するものとする。以上のような飽和特性をもったVCOを従来のPLL回路にあてはめて、その動作を考察する。入力電圧が $\pm V_F$ の範囲であれば、理想VCOとして働くので従来例の説明の動作が保証されることになる。しかし、入力電圧103が $\pm V_F$ を越えた場合、基準入力信号(f_{in})100との位相のずれを補正することができず、PLLとして正常動作できないことになる。すなわち $\pm V_F$ を越える入力電圧103の場合、PLLの誤動作としてこの発振器出力(f_{out})105を利用するシステムに異常を通知して何らかの手段を講じる必要があることになる。当然システムが停止しないようにするには $\pm V_F$ より若干小さめの電圧で検出し、異常が発生する前に処置しなければならない場合もある。

【0010】本発明の目的は、異常動作に陥る前に回避動作を行わせることができる位相同期ループ電圧制御発振器を提供することにある。

【0011】

【課題を解決するための手段】本発明の位相同期ループ電圧制御発振器は、2つの信号の位相を検出する位相比較器と、位相比較器の出力を平滑化するループフィルタと、正入力と負入力の電圧差を増幅する演算増幅器と、演算増幅器の出力を所定の特性で負帰還するループバック回路と、所定の入力電圧に応じて出力の周波数が変化する電圧制御発振器とを有し、ループフィルタの出力が演算増幅器の正入力に接続され、演算増幅器の出力に接続された前記ループバック回路の出力が演算増幅器の負入力に接続され、演算増幅器の出力が前記電圧制御発振器の入力に接続され、電圧制御発振器の出力と基準信号入力とが位相比較器の入力に接続された位相同期ループ電圧制御発振器において、電圧制御発振器の入力電圧を入力し、入力電圧が、電圧制御発振器が正常動作できる正の限界電圧を越えると、出力が変化する第1の電圧検出回路と、電圧制御発振器の入力電圧を入力し、入力電

圧が電圧制御発振器が正常動作できる負の限界電圧を越えると、出力が変化する第2の電圧検出回路を有する。

【0012】演算増幅器の出力電圧が、電圧制御発振器の動作限界電圧を越えると、電圧検出回路でそれが検出され、異常動作に陥る前に回避動作を行うことができる。

【0013】本発明の実施態様によれば、第1、第2の電圧検出回路の出力がシステムの監視回路に接続されている。

10 【0014】これにより、システムは異常を検出することができる。

【0015】本発明の他の実施態様によれば、位相同期ループ電圧制御発振器は、動作限界電圧が異なる複数の電圧制御発振器と、第1、第2の電圧検出回路の両出力を入力し、両出力の状態をデコードするデコーダと、複数の電圧制御発振器の出力と、デコーダの出力を入力し、デコーダの出力に応じた電圧制御発振器の出力を選択し、位相同期出力信号として出力するゲート回路を有する。

20 【0016】これにより、演算増幅器の出力が電圧制御発振器の動作限界電圧を越えた場合、検出した限界電圧に応じて適切な電圧制御発振器の出力を選択して、システムの動作を継続することができる。

【0017】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0018】図1は本発明の第1の実施形態のPLLのブロック図である。図4の従来例と同じ番号のブロック／信号は同じものを表している。本実施形態は図4の従来例に電圧検出回路(低)10と電圧検出回路(高)11とが追加され、オペアンプ出力103の電圧を監視している。電圧検出回路(低)10は、所定の電圧($-V_F$ 、あるいは $-V_F$ より若干小さめ)を越える電圧を検出した場合、アクティブハイとなる信号107を出力する。また、電圧検出回路(高)11は所定の電圧($+V_F$ 、あるいは $+V_F$ より若干小さめ)を越える電圧を検出した場合、アクティブハイとなる信号108を出力する。このような構成によって、オペアンプ出力103がVCO4の動作限界電圧を超える(越えそうになる)

30 と、信号107または信号108が出力されることになる。

【0019】図2は第1の実施形態のPLLをマイクロプロセッサシステムのクロックとして応用した場合を示したものである。本発明に無関係な機能／ブロックは説明を簡略化するために省略してある。発振器12の出力がPLL13(図1)の基準入力信号(f_{in})100として入力され、前述の動作で安定した周波数の出力クロック105がマイクロプロセッサ15に供給されることになる。一方、信号107と信号108は、論理和ゲート14で論理和がとられ、その出力109がマイクロ

ロセッサ 15 の NMI (マスク不可割込み) 端子に接続されている。このようにすることで、PLL 13 が誤動作する前にマイクロプロセッサ 15 に NMI 入力信号 109 を通じて PLL 異常を通知することができる。マイクロプロセッサ 15 は NMI 入力信号 109 がアクティブになると、現状の処理を中断して、システムダウンに対応した処理、例えばシステム情報をディスクに書き出すなどの処理を実行してゆくようにプログラミングしておく。このようにしておくことで、PLL 13 に異常が発生してもシステム情報が保存されているので、システ

ムを復帰させることができるようになる。

【0020】図 3 は本発明の第 2 の実施形態の PLL の構成図である。

【0021】本実施形態は、第 1 の実施形態と同じく、電圧検出回路 (低) 10 と電圧検出回路 (高) 11 の 2 つの出力で、オペアンプ 3 の出力 103 を監視し、表 1 の信号状態を得る。(1 は論理回路のレベルの表記である)

【0022】

【表 1】

	107	108
低い	1	0
正常	0	0
高い	0	1

この 2 つの信号状態は、デコーダ 16 の入力 A, B に入力されている。デコーダ 16 はその入力 A, B に応じて、表 2 の出力 $Y_0 \sim Y_2$ を得る。

【0023】

【表 2】

	Y_0	Y_1	Y_2	Y_3
A	0	1	0	1
B	0	0	1	1

一方、本実施形態では VCO として特性の異なる 3 種類の VCO 17, 18, 19 を実装しており、VCO 17 は高い周波数を発振する VCO、VCO 18 は中間の周波数を発振する VCO、VCO 19 は低い周波数を発振する VCO である。それぞれの (電圧) 入力 オペアンプ 3 の出力 103 が接続されている。VCO 17, 18, 19 の出力 114, 115, 116 はそれぞれ 2 入力論理積ゲート 21, 22, 23 へ接続される。また、それぞれ論理積ゲートの 21, 22, 23 の他の入力には、論理積ゲート 21 へはデコーダ出力 110 (Y_1) が、論理積ゲート 22 へはデコーダ出力 111 (Y_0) が、論理積ゲート 23 へはデコーダ出力 112 (Y_2) が接続されている。さらに、各論理積ゲート 21, 22, 23 の出力は 3 入力論理和ゲート 20 に入力され、その出力が PLL の出力 105 となっている。この PLL 出力 105 (f_{out}) は位相比較器 1 の入力にもなっている。

【0024】以上のように構成された PLL の場合、通常の動作状態では、電圧検出回路 10, 11 は正常な電圧を出力しており、 $A=B=0$ となり、 $Y_0=1$, $Y_1=Y_2=Y_3=0$ となっている。この場合、論理積ゲ

ト 22 の出力が論理和ゲート 20 を通過し、PLL 出力 105 に出力されることになる。この状態で、何らかの要因によってオペアンプ 3 の出力電圧が低くなる (低くなり過ぎる) と、 $A=1$, $B=0$ となり、 $Y_1=1$, $Y_0=Y_2=Y_3=0$ が出力される。これによって、論理積ゲート 21、論理和ゲート 20 を通じて VCO 17 の出力 114 が PLL 出力 105 として出力されることになる。同様に、オペアンプ 3 の出力電圧が高くなる (高くなり過ぎる) と、 $A=0$, $B=1$, $Y_2=1$, $Y_0=Y_1=Y_3=0$ となり、論理積ゲート 23、論理和ゲート 20 を通じて VCO 19 の出力 116 が PLL 出力 105 として出力されることになる。先に説明したように、VCO 17, 18, 19 はそれぞれ入出力特性が異なり、オペアンプ 3 の出力電圧 103 が VCO 18 の入力限界電圧 (従来例における $\pm V_F$) を越える (越えそうな) 段階で、その動作を補正する VCO (17 または 19) に切り換わり、正常動作を続けることができるようになる。

【0025】

【発明の効果】以上説明したように、本発明は、VCO の動作限界電圧 ($\pm V_F$) を検出する電圧検出回路を有

することにより、異常動作状態に陥る前に回避動作（システムシャットダウン）を行わせたり（請求項1）、また電圧制御発振器を複数備え、さらにデコーダとゲート回路を備えることにより、動作範囲の異なるVCOに切り換えることでシステム動作を継続させたりする（請求項2）ことができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のPLLのブロック図である。

【図2】第1の実施形態のPLLを利用した、クロック監視機能のついたマイクロプロセッサシステムの構成図である。

【図3】本発明の第2の実施形態のPLLのブロック図である。

【図4】従来のPLLの構成図である。

【図5】図4のPLLにおけるオペアンプの入出力特性である。

【図6】特開平4-280514号によるPLLの構成図である。

【図7】図6のPLLにおけるオペアンプの入出力特性図である。

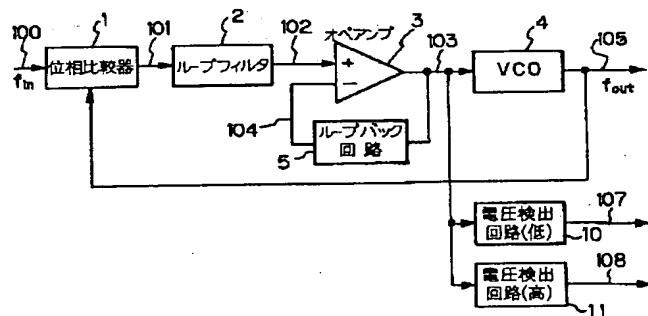
【図8】オペアンプの入出力特性を示しており、同図（a）は理想的オペアンプの場合、同図（b）は実際のオペアンプの入出力特性を表している。

【図9】VCOの入出力特性を示しており、同図（a）は理想的VCOの場合、同図（b）は実際のVCOの入出力特性を表している。

【符号の説明】

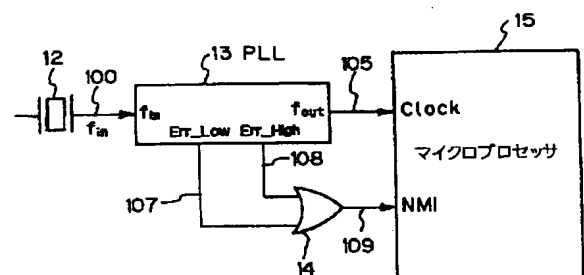
- 1 位相比較器
- 2 ループフィルタ
- 3 オペアンプ
- 4 VCO
- 5 ループバック回路

【図1】

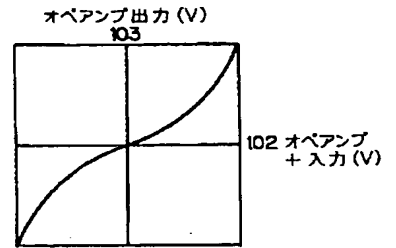


- 6 帰還抵抗
- 7 帰還抵抗
- 8 スイッチ
- 9 電圧検出回路（ $\pm V_T$ を検出）
- 10 電圧検出回路（ $+V_F$ を検出）
- 11 電圧検出回路（ $-V_F$ を検出）
- 12 マイクロプロセッサシステム用発振器
- 13 第1の実施形態のPLL
- 14 論理和ゲート
- 15 マイクロプロセッサ
- 16 デコーダ
- 17 VCO_{High}（出力周波数が高いVCO）
- 18 VCO_{Noemal}（出力周波数が普通のVCO）
- 19 VCO_{Low}（出力周波数が低いVCO）
- 20 論理和ゲート
- 21～23 論理積ゲート
- 100 基準入力信号（ f_{in} ）
- 101 位相比較器出力
- 102 ループフィルタ出力
- 103 オペアンプ出力
- 104 ループバック回路出力
- 105 PLL出力信号
- 106 電圧検出回路出力（スイッチ切り換え入力）
- 107 電圧検出回路（低）出力信号
- 108 電圧検出回路（高）出力信号
- 109 NMI入力信号
- 110 デコーダ出力（ Y_1 ）
- 111 デコーダ出力（ Y_0 ）
- 112 デコーダ出力（ Y_2 ）
- 113 デコーダ出力（ Y_3 ）
- 114 VCO₁₇出力信号
- 115 VCO₁₈出力信号
- 116 VCO₁₉出力信号

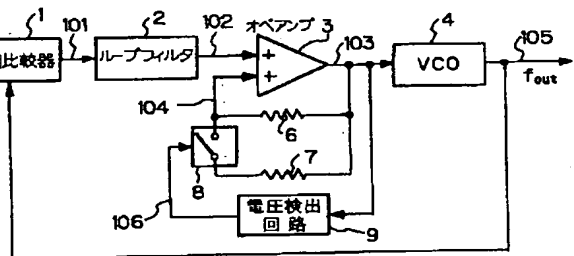
【図2】



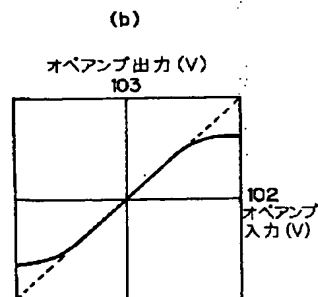
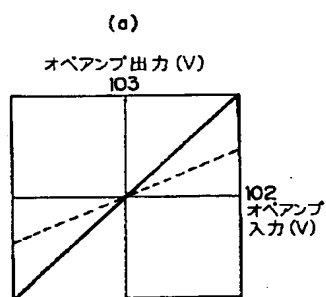
【図 5】



【図 6】



【図 8】



【図 9】

